

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-326544

(43)Date of publication of application : 12.12.1995

(51)Int.Cl.

H01G 5/40
H01G 4/255

(21)Application number : 06-119310

(71)Applicant : MATSUSHITA ELECTRIC IND
CO LTD

(22)Date of filing : 31.05.1994

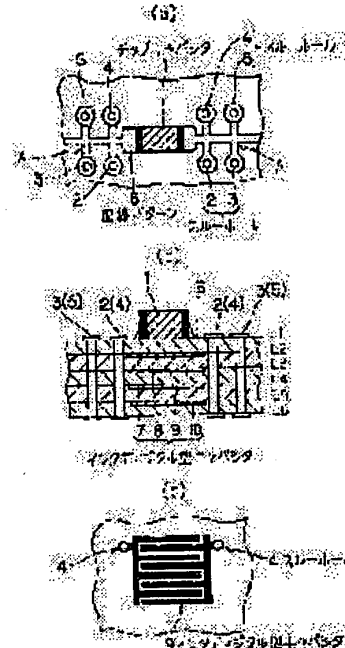
(72)Inventor : SUGAWARA HIROSHI
HARAZONO BUNICHI

(54) VARIABLE CAPACITOR FORMED ON MULTILAYER CIRCUIT BOARD

(57)Abstract:

PURPOSE: To provide a small low-cost variable capacitor free from a change in capacitance with time used in a high-frequency circuit of an electronic apparatus.

CONSTITUTION: A chip capacitor 1 is formed on a multilayer circuit board, while interdigital-type capacitors 7 to 10 are formed in an inner layer of the multilayer circuit board. A wiring pattern 6 for soldering a chip capacitor 1 is connected to through holes 2 to 5. A capacity selection part (A) is cut in a pattern and made adequate in capacity for the circuit. Then, the wiring pattern 6 is partly opened so that one or more through holes 2 to 5 that are connected to the interdigital-type capacitor are disconnected with the chip capacitor 1. As a result, a variation in circuit is attenuated, and a variable capacitor with optimal capacity can be obtained.



LEGAL STATUS

[Date of request for examination] 11.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

先行技術

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

特許エムテック関東 ③

(11) 特許出願公開番号

特開平7-326544

(43) 公開日 平成7年(1995)12月12日

(51) Int.Cl.⁶

H 0 1 G 5/40

4/255

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 G 5/ 38

4/ 34

Z

7924-5E

審査請求 未請求 請求項の数4 O L (全 4 頁)

(21) 出願番号 特願平6-119310

(22) 出願日 平成6年(1994)5月31日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 菅 原 宏

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

(72) 発明者 原 園 文

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

(74) 代理人 弁理士 蔵合 正博

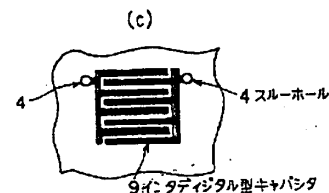
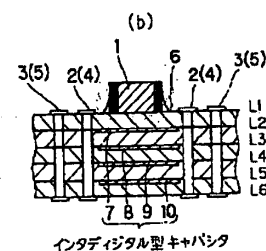
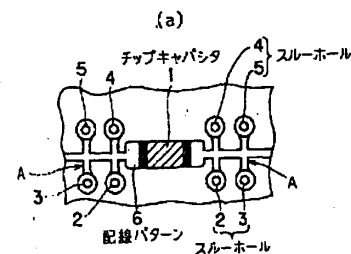
この図は、図1の構成に、チップキャパシタと、
インタデジタル型キャパシタを並列に接続し、
容量が利用可能なようにする。
c 多層型における、チップキャパシタと、
インタデジタル型キャパシタとの接続点で、
容量が相違する。

(54) 【発明の名称】 多層回路基板で形成する可変キャパシタ

(57) 【要約】

【目的】 各種電気機器の高周波回路に使用される可変キャパシタにおいて、機器の実使用状態における部品の経年変化による容量の変動を解決した小型でコストメ리트のある優れた特性を持つ可変キャパシタを提供する。

【構成】 多層回路基板上にチップキャパシタ1、内層にインタデジタル型キャパシタ7~10を設け、チップキャパシタ1を半田付けするための配線パターン6とスルーホール2~5とを接続する。容量選択部Aを回路に最適な容量となるようにパターンカットし、内層のインタデジタル型キャパシタに接続されたスルーホール(2~5の何れか)とチップキャパシタ1とを半田付けするための配線パターン6をオープンにすることにより、回路のばらつきを吸収して最適な容量が選択できる可変キャパシタが得られる。



【特許請求の範囲】

【請求項1】 多層回路基板上に実装されたチップキャパシタと、前記多層回路基板の内層に形成されたインタデジタル型キャパシタと、前記チップキャパシタと前記インタデジタル型キャパシタとを接続するための導電部とを備えた多層回路基板で形成する可変キャパシタ。

【請求項2】 導電部が、内層に形成されたインタデジタル型キャパシタとスルーホールによって接続されることを特徴とする請求項1記載の多層回路基板で形成する可変キャパシタ。

【請求項3】 導電部が、チップキャパシタとインタデジタル型キャパシタとの接続を切断させることができる容量選択部を有することを特徴とする請求項1記載の多層回路基板で形成する可変キャパシタ。

【請求項4】 多層回路基板上に実装されたチップキャパシタの両端に形成されたチップキャパシタ用パターンと、前記多層回路基板の内層に形成されたインタデジタル型キャパシタの両端に形成されたインタデジタル型キャパシタ用スルーホールと、前記チップキャパシタ用パターンと前記インタデジタル型キャパシタ用スルーホールとを接続する接続結合部材とを備えた多層回路基板で形成する可変キャパシタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、高周波機器の高周波回路に使用する可変キャパシタ、特に多層基板で形成する可変キャパシタに関するものである。

【0002】

【従来の技術】 近年、可変キャパシタを含む高周波機器は年々小型化され、人と人とのコミュニケーションの手段として多くの人が携帯できるようになってきている。それにともない、高周波機器の使用環境は年々厳しくなっており、例えば、使用時の振動や落下等のショック、使用環境の急激な変化による温度変化等を受けることが往々にしてある。

【0003】 以下、従来の可変キャパシタについて説明する。図2は従来の可変キャパシタの代表的な構造を示すものであり、(a)平面図、(b)断面図、(c)は部分平面図である。図2において、11は調整ピン、12はロータ電極、13はステータ電極、14はロータである。そして、15はロータ電極12とステータ電極13が誘電体を挟んで重なる部分の面積である。

【0004】 以上のように構成された従来の可変キャパシタについて、以下その動作について説明する。まず、ロータ14は、調整ピン11と一緒に回転移動する構造になっている。次に、調整ピン11を回転させ、ロータ14に組み込まれているロータ電極12を、ステータ電極13とある程度重なる位置に移動させる。ロータ電極12とステータ電極13が誘電体を挟んで重なる部分の

面積15の大きさが可変キャパシタの容量が決まる。

【0005】 このように、上記従来の可変キャパシタでも、調整ピン11を回転させることによって容量を可変することができる。

【0006】

【発明が解決しようとする課題】 しかしながら、上記の従来の可変キャパシタでは、容量の変化を機構的な調整に頼っているため、機器の使用時の振動や落下時のショック、使用環境による冷熱温度サイクル等が加わることで、可変キャパシタの機構部分の不良が多く発生するという問題を有していた。

【0007】 本発明は、上記従来の問題を解決するもので、小型で長期的に品質が安定した低コストの可変キャパシタを提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明は、上記目的を達成するために、多層回路基板上に実装されたチップキャパシタと、この多層回路基板上の内層に構成されたインタデジタル型キャパシタと、チップキャパシタおよびインタデジタル型キャパシタを接続するための導電部とを備えており、この導電部により、チップキャパシタとインタデジタル型キャパシタとの接続を断続させて容量を可変にする。

【0009】

【作用】 本発明は、上記構成によって、機構的な容量可変構造がないため、長期的に品質が安定し、可変部分が内層で構成されることから、基板表面にはチップキャパシタだけの実装となり、小型で低コストの可変キャパシタを実現することができる。

【0010】

【実施例】 以下本発明の一実施例について、図面を参照しながら説明する。図1(a)は6層構造(L1~L6)からなる回路基板の第1層目の平面図、図1(b)はその断面図、図1(c)は第4層目のインタデジタル型キャパシタの具体的なパターンである。図1において、1はチップキャパシタ、2~5はそれぞれ第2層目~第5層目のインタデジタル型キャパシタに接続されているスルーホールである。6はチップキャパシタ1を半田付けするための配線パターンである。7~10はそれぞれ第2層目~第5層目のインタデジタル型キャパシタであり、キャパシタ7はスルーホール2に接続され、キャパシタ8はスルーホール3に接続され、キャパシタ9はスルーホール4に接続され、キャパシタ10はスルーホール5に接続されている。これらインタデジタル型キャパシタ7~10は、予めそれぞれ異なる容量になるようにして設定されている。Aは配線パターン6上に設けられたスルーホール3との接続を切断する容量選択部である。

【0011】 以上のように構成された可変キャパシタを実際の回路に使用すると、まず回路で必要な大凡の定数

の範囲を求め、その範囲の下限値をチップキャパシタ1として選択し実装する。次に、回路の特性を最適化する容量にするため、内層に構成されたインタデジタル型キャパシタ7~10を組合せて必要な内層と不要な内層とを選別する。本実施例では、第3層目が不要であるため、図1(a)の容量選択部Aをパターンカットし、チップキャパシタ1を半田付けするための配線パターン6と第3層目のインタデジタル型キャパシタ8とをオープンにすることにより希望の容量を得ている。

【0012】以上のように、本実施例によれば、設定された容量は、機構的な容量可変構造がないため、長期的に品質が安定し、また可変部分が内層に構成されることから、基板表面にはチップキャパシタ1だけの実装となり、小型で低コストの可変キャパシタを実現することができるという効果を有する。

【0013】なお、上記実施例では、容量選択部Aをパターンカットすることでチップキャパシタ1を半田付けするための配線パターン6と第3層目のインタデジタル型キャパシタ8とをオープンにして希望の容量を得ているが、反対に、チップキャパシタ1を半田付けするための配線パターン6と内層に形成されたインタデジタル型キャパシタの両端に接続されているスルーホール2~5を全て導電部を介さず初めからオープンにしておき、回路上最適な容量にするために必要な内層のインタデジタル型キャパシタの両端に接続されているスルーホール(2~5の何れか)とチップキャパシタ1を半田付けするための配線パターン6を、半田のような接続結合部材でショートして希望の容量を得るようにしても良い。

【0014】

【発明の効果】以上のように本発明は、多層回路基板上に実装されたチップキャパシタと、多層回路基板上の内層に形成されたインタデジタル型キャパシタと、チップキャパシタとインタデジタル型キャパシタとを接続

するための導電部とを備え、この導電部によりチップキャパシタとインタデジタル型キャパシタとの接続を断続させて容量を可変にするので、長期的に品質の安定した、小型で低コストの可変キャパシタを実現することができる。

【図面の簡単な説明】

【図1】(a)本発明の一実施例における可変キャパシタの平面図

(b)本発明の一実施例における可変キャパシタの断面図

(c)本発明の一実施例における可変キャパシタの第4層目の可変用インタデジタル型キャパシタの平面図

【図2】(a)従来の可変キャパシタの平面図

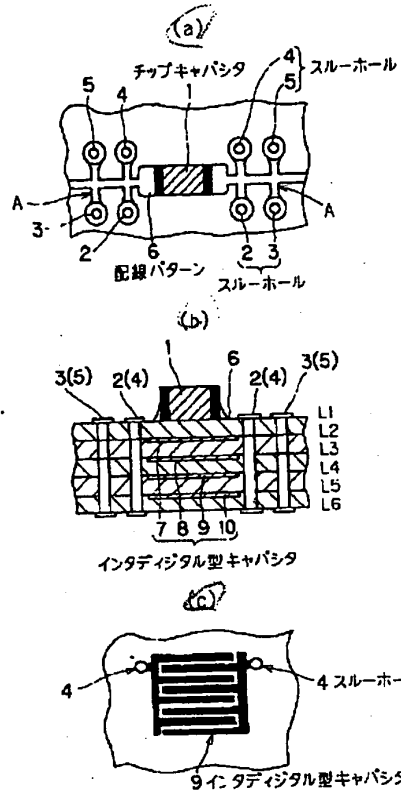
(b)従来の可変キャパシタの断面図

(c)ロータ電極とステータ電極の平面図

【符号の説明】

- 1 チップキャパシタ
- 2 内層の第2層目に接続されているスルーホール
- 3 内層の第3層目に接続されているスルーホール
- 4 内層の第4層目に接続されているスルーホール
- 5 内層の第5層目に接続されているスルーホール
- 6 チップキャパシタ1を半田付けするための配線パターン
- 7 内層の第2層目のインタデジタル型キャパシタのパターン
- 8 内層の第3層目のインタデジタル型キャパシタのパターン
- 9 内層の第4層目のインタデジタル型キャパシタのパターン
- 10 内層の第5層目のインタデジタル型キャパシタのパターン
- A チップキャパシタとインタデジタル型キャパシタとの接続を切断させることができる容量選択部

【図1】



【図2】

